

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229322

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H03H 19/00

(21)Application number : 09-200612

(71)Applicant : SGS THOMSON MICROELECTRON
GMBH

(22)Date of filing : 25.07.1997

(72)Inventor : KIRCHLECHNER PETER
SCHAMBACHER JOERG
LUEBBE JUERGEN

(30)Priority

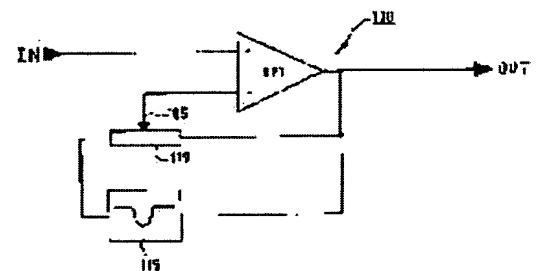
Priority number : 96 19630406 Priority date : 26.07.1996 Priority country : DE

(54) FILTER CIRCUIT AND AUDIO SIGNAL PROCESSOR PROVIDED WITH THE FILTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify the configuration of circuit integration by providing an ohmic voltage divider (setting means) connecting to a filter section to a filter circuit, so as to attain neutral setting where a valid audio signal path of the filter circuit bypasses the filter section.

SOLUTION: An inverting input section of an operational amplifier OP1 is connected to a tap 105 of an ohmic voltage divider 110 connection between an output section of a filter section 115 and an output section of the operational amplifier OP1. The input of the filter section 115 is connected to an output of the operational amplifier OP1. The effect of the filter circuit depends on the position setting of the tap 105 of the ohmic voltage divider 110. In the case that the tap 105 of the ohmic voltage divider 110 is connected directly to the output of the operational amplifier OP1, the filter circuit acts as a voltage follower whose amplification factor is constant. The filter 115 is isolated from a signal path. In this case, the filter circuit is set to a neutral setting, and the filter section 115 gives no addition for noise signal to an audio output signal at an output terminal OUT.



LEGAL STATUS

[Date of request for examination] 08.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-229322

(43)公開日 平成10年(1998)8月25日

(51)Int.Cl.⁸
H 0 3 H 19/00

識別記号

F I
H 0 3 H 19/00

審査請求 未請求 請求項の数10 OL (全 9 頁)

(21)出願番号 特願平9-200612

(22)出願日 平成9年(1997)7月25日

(31)優先権主張番号 19630406.7

(32)優先日 1996年7月26日

(33)優先権主張国 ドイツ (DE)

(71)出願人 591197611
エスジーエーストムソン マイクロエレクトロニクスゲゼルシャフト ミット ベシュレンクテル ハフツング
SGS-THOMSON MICROELECTRONICS GESELLSCHAFT MIT BESCHRANKTER HAFTUNG
ドイツ連邦共和国 85630 グラスブル
ブレトニシェル リング 4
(74)代理人 弁理士 安形 雄三

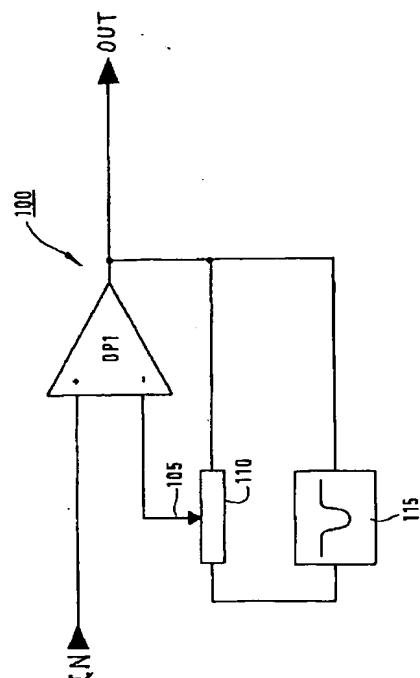
最終頁に続く

(54)【発明の名称】 フィルター回路および該フィルター回路を備えた音声信号プロセッサー

(57)【要約】

【課題】 簡単に集積構成が可能なフィルター回路及び該フィルター回路を備えた音声信号プロセッサーを提供する。

【解決手段】 抵抗部品RがSC技術で実現できる少なくとも1つの周波数応答性を決めるRC部を備えたRCネットワークを有するフィルター部(115)と、その設定でSCフィルターの周波数応答性が決められるよう、フィルター部(115)に接続された設定手段(110)とから成り、前記の設定手段(110)は、各周波数成分の振幅の増減が発生しないよう、フィルター回路の有効音声信号経路がフィルター部(115)を迂回する中立設定が可能である。また、音声信号プロセッサーは、少なくとも1つの音声信号入力部、少なくとも1つの音声信号出力部および少なくとも1つの制御入力部と、前記の音声信号入力部と音声信号出力部の間に接続されている音声信号処理部とから成り、前記の音声信号処理部には、少なくとも1個のフィルター回路を備えている。



【特許請求の範囲】

【請求項1】 所定の周波数域における音声信号の振幅を増減制御できるフィルター回路であって、

- (a) 入力端 (IN) および出力端 (OUT) と、
- (b) 反転入力部が前記入力端 (IN) に接続されている第1演算增幅器 (OP1) と、
- (c) タップ部 (105) が前記第1演算增幅器 (OP1) の反転入力部に、その第1端子が第1演算增幅器 (OP1) の出力部にそれぞれ接続されている、設定手段としてのオーム分圧器 (110) と、
- (d) 抵抗部品RがSC技術で実現できる、少なくとも1つの周波数応答性を決めるRC部を備えたRCネットワークを有するフィルター部 (115) とから成り、
- (e) 前記のフィルター部 (115) の入力部が、第1演算增幅器 (OP1) の出力部に接続されており、
- (f) 前記のフィルター部 (115) の出力部が、オーム分圧器 (110) の第2端子に接続されていることを特徴とするフィルター回路。

【請求項2】 前記の設定手段 (110) が、ポテンショメータで構成されていることを特徴とする請求項1記載のフィルター回路。

【請求項3】 前記の設定手段 (110) が、1個またはそれ以上のトランジスタをもつ分圧器を備えていることを特徴とする請求項1記載のフィルター回路。

【請求項4】 前記のフィルター部 (115) が、バイカットフィルターで構成されていることを特徴とする前記請求項1記載のフィルター回路。

【請求項5】 前記のフィルター部 (115) が、

- (a) 第2演算增幅器 (OP4) と、
- (b) 第3演算增幅器 (OP5) と、
- (c) 第1SC抵抗体 (405) と、
- (d) 第2SC抵抗体 (425) と、
- (e) 第3SC抵抗体 (440) と、
- (f) 第4SC抵抗体 (445) と、
- (g) 第1フィルターキャパシタ (420) と、
- (h) 第2フィルターキャパシタ (430) と、
- (i) 第3フィルターキャパシタ (435) とから成り、

(j) 第2演算增幅器 (OP4) の非反転入力部と、第3演算增幅器 (OP5) の非反転入力部とは、基準電位であって、

(k) フィルター部 (115) の入力部が、第1SC抵抗体 (425) を経由して第2演算增幅器 (OP4) の反転入力部に接続されており、

(l) フィルター部 (115) の出力部が、第3演算增幅器 (OP5) の出力部に接続されており、

(m) 第3演算增幅器 (OP5) の反転入力部が、第2フィルターキャパシタ (430) を経由してフィルター部 (115) の入力部に接続されており、

(n) 第2演算增幅器 (OP4) の出力部が、第1フィルターキャパシタ (420) を経由して第2演算增幅器 (OP5) の反転入力部に接続されており、

ルターキャパシタ (420) を経由して第2演算增幅器 (OP5) の反転入力部に接続されており、

(o) 第2演算增幅器 (OP4) の出力部が、第2SC抵抗体 (425) を経由して第3演算增幅器 (OP5) の反転入力部に接続されており、

(p) 第3演算增幅器 (OP5) の反転入力部が、第3SC抵抗体 (440) を経由して第3演算增幅器 (OP5) の出力部に接続されており、

(q) 第2演算增幅器 (OP4) の反転入力部が、第4SC抵抗体 (445) を経由して第3演算增幅器 (OP5) の出力部に接続されており、

10 (r) 第3演算增幅器 (OP5) の反転入力部が、第3フィルターキャパシタ (435) を経由して第3演算增幅器 (OP5) の出力部に接続されていることを特徴とする請求項4記載のフィルター回路。

【請求項6】 前記のフィルター部 (115) が、

(a) 第1、第2、第3のキャパシタ (505、515、525) と、

(b) 第1と第2の抵抗器 (510、520) と、

20 (c) SC抵抗体 (530) とから成り、

(d) 前記のフィルター部 (115) の入力端 (IN) が、第1キャパシタ (505) を経由してフィルター部 (115) の出力端 (OUT) に接続されており、

(e) 前記のフィルター部 (115) の入力端 (IN) が、第1抵抗器 (510) および第2キャパシタ (515) を経由して基準電位に接続されており、

(f) 前記のフィルター部 (115) の出力端 (OUT) が、第2抵抗器 (520) および第3キャパシタ (525) を経由して基準電位に接続されており、

30 (g) 前記の第1抵抗器 (510) と第2キャパシタ (515) 間の回路ノードが、SC抵抗体 (530) を経由して第2抵抗器 (520) と第3キャパシタ (525) 間の回路ノードに接続されていることを特徴とする請求項1乃至3のいずれかに記載のフィルター回路。

【請求項7】 前記のSC抵抗体 (530) が、スイッチトキャパシタ (540) と、第1スイッチ手段 (545) と、第2スイッチ手段 (550) とから成り、前記の第1スイッチ手段 (545) は、導電状態のときにスイッチトキャパシタ (540) を放電し、前記の第2スイッチ手段 (550) は、非導電状態のときにスイッチトキャパシタ (540) の端子を周囲から電気的に分断することを特徴とする請求項6記載のフィルター回路。

【請求項8】 前記のフィルター部 (115) が、

(a) 第2演算增幅器 (OP2) と、

(b) 第3演算增幅器 (OP3) と、

(c) 第1SC抵抗体 (310) と、

(d) 第2SC抵抗体 (325) と、

(e) 第3SC抵抗体 (335) と、

(f) 第4SC抵抗体 (340) と、

(g) 第1フィルターキャパシタ (320) と、

- (h) 第2フィルターキャパシタ(330)とから成り、
 (i) 第2演算増幅器(OP2)の非反転入力部と、第3演算増幅器(OP3)の非反転入力部とは、基準電位であって、
 (j) フィルターパー部(115)の入力端(IN)が、第1SC抵抗体(310)を経由して第2演算増幅器(OP2)の反転入力部に接続されており、
 (k) 第2演算増幅器(OP2)の出力部が、第2抵抗体(325)を経由して第3演算増幅器(OP3)の反転入力部に接続されており、
 (l) 第3演算増幅器(OP3)の出力端(OUT)が、フィルターパー部(115)の出力部に接続されており、
 (m) 第2演算増幅器(OP2)の出力部が、第1フィルターキャパシタ(320)を経由して第2演算増幅器(OP2)の反転入力部に接続されており、
 (n) 第3演算増幅器(OP3)の出力部が、第2フィルターキャパシタ(330)を経由して第3演算増幅器(OP3)の反転入力部に接続されており、
 (o) 第3演算増幅器(OP3)の出力部が、第3SC抵抗体(335)を経由して第3演算増幅器(OP3)の反転入力部に接続されており、
 (p) 第3演算増幅器(OP3)の出力部が、第4SC抵抗体(340)を経由して第2演算増幅器(OP2)の反転入力部に接続されていることを特徴とする請求項1乃至3のいずれかに記載のフィルターパー回路。
【請求項9】 音声信号プロセッサーであって、
 (a) 少なくとも1つの音声信号入力部、少なくとも1つの音声信号出力部および少なくとも1つの制御入力部と、
 (b) 前記の音声信号入力部と音声信号出力部の間に接続されている音声信号処理部とから成り、
 (c) 前記の音声信号処理部が、少なくとも1個のSCフィルターパー回路を備えることを特徴とする音声信号プロセッサー。
【請求項10】 前記の音声信号プロセッサーが、
 (a) データバスラインに接続可能なデジタル制御部を備え、
 (b) 前記のデジタル制御部でもって前記オーム分圧器(105)の設定を決めることを特徴とする請求項9記載の音声信号プロセッサー。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、フィルターパー回路および該フィルターパー回路を備えた音声信号プロセッサーに関する。

【0002】

【従来の技術】 無線器、カセットレコーダ、CDプレーヤなどの娯楽用電子分野の機器類においては、一般的

に、高音域の増加や除去、低音域の強調や除去など、サウンド特性をユーザーが操作するための調整可能フィルターパー回路が、音声信号経路に装備されている。適当なフィルターパー特性の調整は、備えられている操作数値を使ってユーザーが実行できる。そのような娯楽用電子機器類での音声信号を操作するための調整可能フィルターパー回路は、特に、周波数や位相応答に関しては影響が最小限となるよう、中立設定できるよう設計されているのが普通である。ユーザーが、音声信号の所定周波数域の全域でエンブリッシュやデエンブリッシュ操作を必要としない場合は、そのフィルターパー回路の中立設定を選択すればよい。例えば、自動車に搭載されるような小型ラジオ受信装置などの、娯楽用電子分野のいくつかの機器の場合、受信装置の全電気回路を可能なかぎり小型の集積電子機器で一体化して、製造コストを下げることが一般的な傾向であった。

【0003】 図9は、そのような従来の無線器のブロック図である。無線周波数アンテナ10で受信された無線周波数信号は、無線周波数受信へ送られるが、以下、これを無線周波数プロセッサーRFPと呼ぶ。無線周波数プロセッサーRFPは、無線周波数前段階、チューナー、中域周波数増幅器、中域周波数フィルター、復調器などで構成されている。受信された局有効信号を構成する低域周波数信号は、音声信号プロセッサーASPへ入力される。この低域周波数信号は、復調された音声信号を含むだけでなく、ステレオ受信、ARI確認、RDSなどの補助信号をも含んでいる。無線周波数プロセッサーRFPからの低域周波数信号は、音声信号プロセッサーASPにより音声信号に変換されて、音声出力プロセッサーAPPへ送られる。音声出力プロセッサーAPPは、その後でスピーカー13で再生できる音声信号プロセッサーASPの出力信号を增幅する出力増幅器12を備えている。さらに、音声出力プロセッサーAPPには、電力供給のための電圧調整部14を備えている。音声信号プロセッサーASPには、例えば、カセットレコーダやCDプレーヤからのその他の音声信号も、追加アナログ入力端子から入力できる。前記の無線受信器は、ユーザーが操作できる操作部20を備えたマイクロコントローラ15により、全体にわたり制御される。マイクロコントローラ15の一方側と、無線周波数プロセッサーRFP、音声信号プロセッサーASP、音声出力プロセッサーAPPの他方側とのデータ交換は、従来のI²Cバス経由で行える。

【0004】 図10は、図9の無線受信器の音声信号プロセッサーASPの概略ブロック図である。音声信号プロセッサーASPには、アナログマルチプレクサ55のそれぞれ対応する入力線に接続された複数のアナログ音声信号入力端子50a～50jが備わっている。アナログマルチプレクサ55のステレオ出力信号は、出力線57aと57bを経由して、信号処理手段の役目をする直

列接続された一連のブロック部 6 0、6 2、6 4、6 6、6 8 に送られる。音声信号は、まず最初に、ミュートフィルター（ミュート部）6 0 に入力され、その後、ラウドネスフィルターを備えた音量調節器 6 2、ソフトミュート特性をもつ第 2 ミュート部（ソフトミュート部）6 4、低音調整部（低音部）6 6、高音調整部（高音部）6 8 の順番に入力される。ステレオ音声信号は、複数の音声駆動増幅器 7 0 へ送られて、音声出力プロセッサー A P P 内の出力増幅器 1 2 の出力段階を制御するのに適した信号となるよう処理される。ここでは、ステレオ信号の各チャンネルが、車内前側に搭載されている第 1 スピーカ用の第 1 サブチャンネルと、車内後側に搭載されている第 2 スピーカ用の第 2 サブチャンネルとに分離される。さらに、音声信号プロセッサー A S P は、ステレオ差信号や A R I 信号などを処理するのに必要な複数の従来機能部 7 2～8 2 を備えている。そして最後に、一時停止回路 9 0 と電力供給手段 9 5 を備えている。

【0 0 0 5】

【発明が解決しようとする課題】図 9 と 1 0 に図示の音声信号プロセッサー A S P が、そのようなプロセッサーとしての単独で可能な実施例を構成しているものではないことは、当業者には明白である。特に、音声信号プロセッサー A S P は、FM ステレオ信号を処理する機能部なしでは構成できない。また、音声信号に影響を与える L F 段階の形式や数も、個々の適用例で異なる。前記の従来回路の欠点は、抵抗器 R およびキャパシタ C のそれぞれの取付面積が大きいという理由から、外部部品により高い抵抗値および／またはキャパシタンスをもつ R C 部品を構成しなければならないので、音声フィルター 6 2、6 6、6 8 の完全な集積状態が作成できないことがある。

【0 0 0 6】英国特許—A—2 1 3 8 2 3 1 に、M O S スイッチを備えた信号伝送回路が開示されている。その回路は、M O S スイッチにより開閉可能な複数のキャパシタと演算増幅器とから成る。それら M O S スイッチの開閉動作は、その出力周波数が可変電圧源により調整できるような電圧制御発振器の出力信号の制御下で実行されるため、周知の信号伝送回路の伝送特性が制御できるのである。同じく英国特許—A—2 1 3 8 2 3 1 に記載の別の回路例では、演算増幅器のフィードバック経路が、フィードバック抵抗器と S C フィルターを含む並列接続で備わっている。第 1 モード運転のときは、S C フィルターがフィードバックループ内に位置するが、第 2 の運転モードになると、フィードバックループでは作動しなくなる。

【0 0 0 7】また、米国特許—A—4 4 5 3 1 4 3 には、フィルターと加算増幅器を備えた等化器が開示されている。加算増幅器とフィルターの両方共に、スイッチトキャパシタを有している。加算増幅器には演算増幅器

が備わっているが、そのフィードバックループにはフィルターが全く取り付けられていない。ハンス・アイガーの著書「マイクロエレクトロニック・フィルター」、テクニック社刊、1 9 9 0 年初版、ページ 7 2～8 3 に、も、S C フィルターの要旨が記述されている。

【0 0 0 8】本発明の目的は、上記のような従来短所をもたず、簡単に集積構成が可能なフィルター回路および該フィルター回路を備えた音声信号プロセッサーを提供することにある。

【0 0 0 9】

【課題を解決するための手段】本発明は、所定の周波数域における音声信号の振幅を増減制御できるフィルター回路に関し、本発明の上記目的は、(a) 入力端 (I N) および出力端 (O U T) と、(b) 反転入力部が前記入力端 (I N) に接続されている第 1 演算増幅器 (O P 1) と、(c) タップ部 (1 0 5) が前記第 1 演算増幅器 (O P 1) の反転入力部に、その第 1 端子が第 1 演算増幅器 (O P 1) の出力部にそれぞれ接続されている、設定手段としてのオーム分圧器 (1 1 0) と、

(d) 抵抗部品 R が S C 技術で実現できる、少なくとも 1 つの周波数応答性を決める R C 部を備えた R C ネットワークを有するフィルター部 (1 1 5) とから成り、(e) 前記のフィルター部 (1 1 5) の入力部が、第 1 演算増幅器 (O P 1) の出力部に接続されており、(f) 前記のフィルター部 (1 1 5) の出力部が、オーム分圧器 (1 1 0) の第 2 端子に接続されることによって達成される。

【0 0 1 0】本発明は更に、音声信号プロセッサーに関し、上記本発明の目的は、(a) 少なくとも 1 つの音声信号入力部、少なくとも 1 つの音声信号出力部および少なくとも 1 つの制御入力部と、(b) 前記の音声信号入力部と音声信号出力部の間に接続されている音声信号処理部とから成り、(c) 前記の音声信号処理部が、前記のフィルター回路を備えることによって達成される。

【0 0 1 1】

【発明の実施の形態】以下に本発明の実施例について説明する。図 1 は、本発明による、調整可能 S C 技術音声フィルターのブロック図であって、特に、図 1 0 の例のような音声信号プロセッサー A S P 内での利用に適したものである。図 1 の回路は、ラウドネスフィルター 6 2、低音フィルター 6 6、高音フィルター 6 8 の構成に特に適した回路である。前記の回路は、演算増幅器 O P 1 の非反転入力部に接続された入力端 I N と、その出力部に接続された出力端 O U T を備えている。演算増幅器 O P 1 の反転入力部は、S C 技術に基づいて実現されたフィルター部 1 1 5 の出力部と演算増幅器 O P 1 の出力部の間に接続されたオーム分圧器 1 1 0 のタップ部 1 0 5 に接続されている。フィルター部 1 1 5 の入力部は、演算増幅器 O P 1 の出力部に接続している。オーム分圧器 1 1 0 のタップ部 1 0 5 の位置設定により、図 1 に図

示のフィルター回路の効果が決まる。オーム分圧器110のタップ部105が、演算増幅器OP1の出力部に直接に短絡接続できるよう設定されている場合は、図1の回路は増幅係数が一定の電圧フォロワーとして作用する。フィルター部115は、信号経路から隔離されている。この場合、フィルター回路は中立設定となり、フィルター部115は、出力端OUTにおいてノイズ信号を音声出力信号に付加することではなく、信号歪を発生させない。

【0012】オーム分圧器110のタップ部105が演算増幅器OP1の出力部とタップ部105間で部分抵抗値を生成できるような設定に変更した場合には、フィルター部115が信号経路となり、フィルター回路の周波数特性に影響を与えることになる。そこで、演算増幅器OP1の出力部における出力信号は、フィルター部115と分圧器110経由で演算増幅器の反転入力部へと負フィードバック処理される。前記のオーム分圧器110は、従来のボテンショメータのように設計できる。しかし、集積回路で使用する場合には、例えば、MOSスイッチで開閉動作される抵抗器列のようなオーム分圧器110のほうが有利である。図1のフィルター回路を音声信号プロセッサー（例えば図10の例）で使う場合、ICバスなど経由のデジタル設定手段にてオーム分圧器110を調整することも可能となる。図2は、図6～8の実施例で使われているような、スイッチトキャパシタを備えた抵抗体200の概略図である。

【0013】図3は、図2の抵抗体200の等価電気回路図である。その回路の入力端INは、第1スイッチ手段S1経由でキャパシタ210の第1端子に接続、あるいは、接地されている。また、出力端OUTも、第2スイッチ手段S2経由でキャパシタ210の第2端子に接続、あるいは、接地されている。両スイッチ手段S1とS2とも操作されると、電気的に開状態に変わる。図4には、2個のMOSトランジスタ220と230を使った図3のスイッチ手段S1、S2の実施例が図示されている。第1のMOSトランジスタ220は、そのソース／ドレイン部にて、共通端子260を第1スイッチ出力端子240に接続しており、第2のMOSトランジスタ230も、そのソース／ドレイン部にて、共通端子260を第2スイッチ出力端子250に接続している。第1のMOSトランジスタ220のゲート部はクロック信号φ1に接続されており、第2のMOSトランジスタ230のゲート部はクロック信号φ2に接続されている。

【0014】さらに、図5に図示されているのは、図3のスイッチ手段S1、S2および図4のMOSトランジスタ220、230をそれぞれ制御するためのクロック信号φ1とφ2である。SC技術においては、一般的に、2つのクロック相φ1とφ2は、その高位(ON)期間が互いにオーバラップしないよう設定されている。その結果として、図4の回路において、2個のMOSト

ランジスタ220、230のうちの一方が絶えず導電されているので、共通端子260が開離状態、つまり、第1スイッチ端子240または第2スイッチ端子250のいずれかに接続されることになるが、同時に接続されることはない。

【0015】図6は、ラウドネスフィルターとしての、フィルター部115の第1実施例300の電気回路図である。その回路は第2段階のローパスフィルターであって、SC技術で設計されている。入力端INは、SC技術による第1抵抗器310を経由して演算増幅器OP2の反転入力部に接続されている。また、演算増幅器OP2の非反転入力部は接地されている。前記の演算増幅器OP2の出力部は、キャパシタ320経由でその反転入力部につながっている。さらに、別の演算増幅器OP3の反転入力部は、SC技術で設計された第2抵抗器325を経て、演算増幅器OP2の出力部に接続してある。そして、演算増幅器OP3の非反転入力部も接地されている。演算増幅器OP3の出力部は、第3キャパシタ330経由でその反転入力部につながっている。第3キャパシタ330に並列に接続されているのは、SC技術による第3抵抗器335である。同じく、SC技術による第4抵抗器340により、演算増幅器OP2の反転入力部が演算増幅器OP3の出力部に接続されている。また、演算増幅器OP3の出力部は、回路の出力端OUTにも接続されている。

【0016】図7は、フィルター部115の第2実施例400の電気回路図である。この図7の回路は、低音フィルター内で使われる。演算増幅器OP4の反転入力部は、SC技術による第1抵抗器405を経由して、入力端INに接続されている。演算増幅器OP4の出力部は、第1フィルターキャパシタ420を経由して、その反転入力部につながっている。さらにまた別の演算増幅器OP5の反転入力部は、SC技術による第2抵抗器425を経由して、演算増幅器OP4の出力部に接続されている。また、演算増幅器OP5の反転入力部も、第2フィルターキャパシタ430経由で入力端INに、および、第3フィルターキャパシタ435を経由してその出力部につながっている。最後に、演算増幅器OP5の反転入力部は、SC技術による第3抵抗器440を経てその出力部に接続されている。そして、演算増幅器OP5の出力部は、SC技術による第4抵抗器445を経由して演算増幅器OP4の反転入力部につながっている。さらに、演算増幅器OP5の反転入力部に接続されていないほうのSC技術による第3抵抗器440の端子と、演算増幅器OP5の反転入力部に接続されていないほうの第3フィルターキャパシタ435の端子とが、相互に接続されている。演算増幅器OP5の出力部は、回路の出力端OUTに接続されている。また、両演算増幅器OP4とOP5の非反転入力部は共に、基準電位(接地)に接続されている。

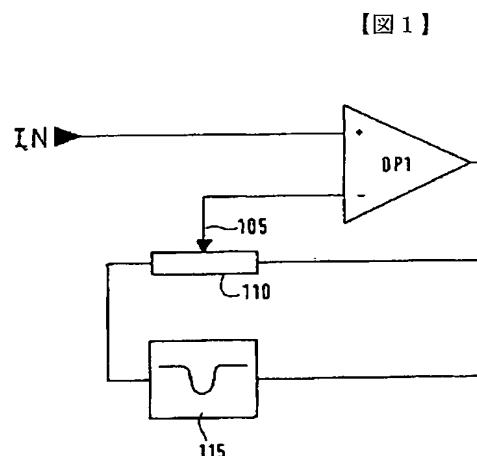
【0017】図8は、高音フィルターとしての、フィルター部115の第3実施例500の電気回路図である。その入力端INは、第1キャパシタ505を経て出力端OUTに接続している。しかも、入力端INは、第1抵抗器510および第2キャパシタ515経由で接地されている。出力端OUTも、また、第2抵抗器520および第3キャパシタ525経由で接地されている。抵抗器510とキャパシタ515間および抵抗器520とキャパシタ525間の接続点は、SC技術による抵抗器530を経由して相互につながれている。前記のSC抵抗器(530)が、スイッチトキャパシタ(540)と、第1スイッチ手段(545)と、第2のスイッチ手段(550)とから成り、前記の第1スイッチ手段(545)は、導電状態のときにスイッチトキャパシタ(540)を放電し、前記の第2スイッチ手段(550)は、非導電状態のときにスイッチトキャパシタ(540)の端子を周囲から電気的に分断する。

【0018】

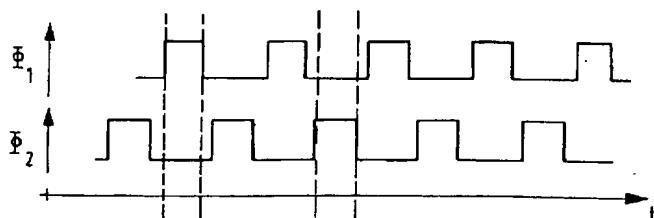
【発明の効果】本発明によれば、フィルター部(115)に接続されたオーム分圧器(110)(設定手段)を有するので、フィルター回路の有効音声信号経路がフィルター部(115)を迂回する中立設定が可能となると共に、集積構成を簡単にすることができます。

【図面の簡単な説明】

【図1】SC技術に基づいて設計された調整可能な音声*



【図5】



* フィルターのブロック図である。

【図2】スイッチトキャパシタとして設計された抵抗体200の概略図である。

【図3】抵抗体200の等価回路図である。

【図4】2個のMOSトランジスターを使った図3のスイッチ手段の説明図である。

【図5】オーバーラップしないブロック信号図である。

【図6】ラウドネスフィルター用の図1のSCフィルター部の第1実施例の回路図である。

【図7】低音フィルター用の図1のSCフィルター部の第2実施例の回路図である。

【図8】高音フィルター用の図1のSCフィルター部の第3実施例の回路図である。

【図9】従来の無線受信機の概略ブロック図である。

【図10】周辺回路を備えた図9の無線受信機の音声信号プロセッサーの概略ブロック図である。

【符号の説明】

100 エリアシング防止機能をもつ調整可能なSC技術音声フィルター

110 オーム分圧器(設定手段)

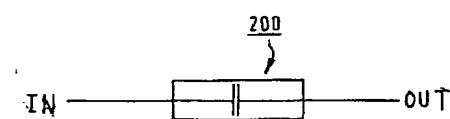
105 タップ部

115 フィルター部

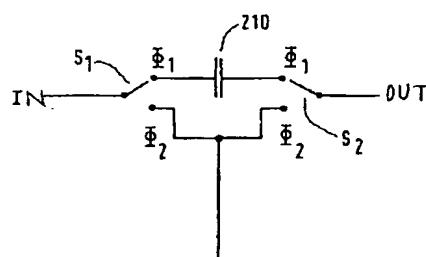
120 ローパスフィルター

OPI 演算増幅器

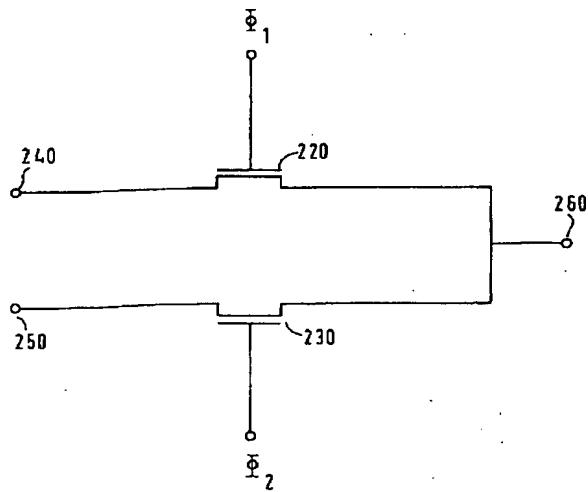
【図2】



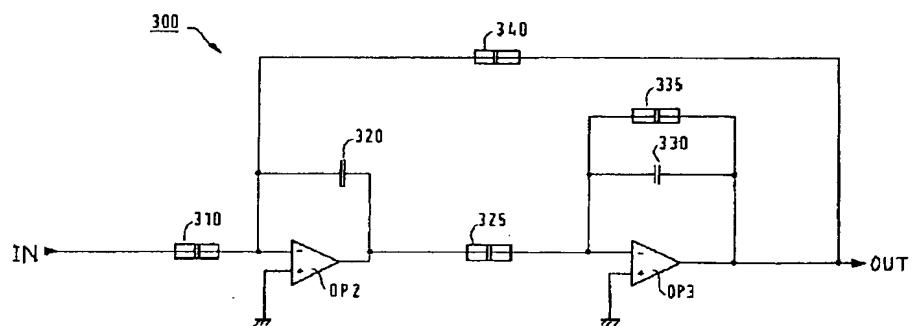
【図3】



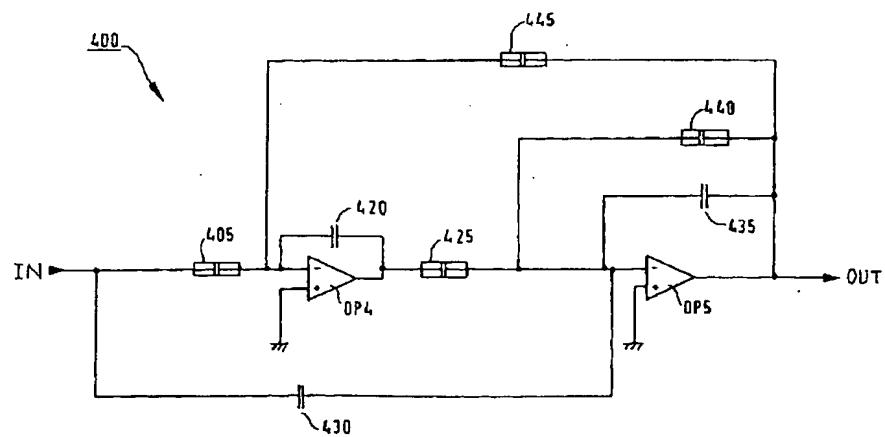
【図4】



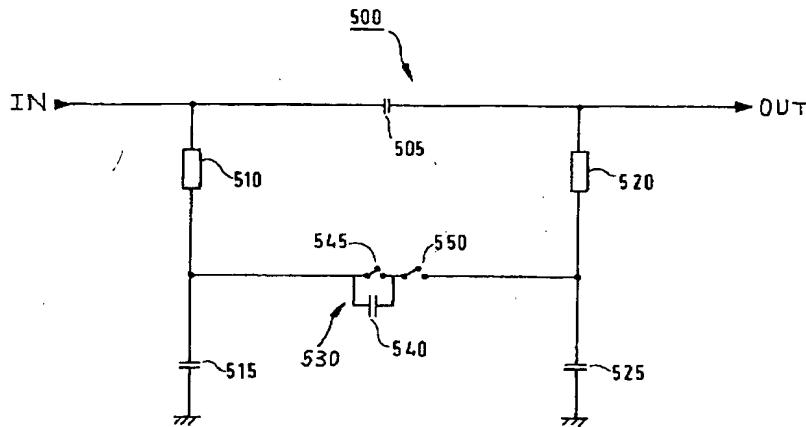
【図6】



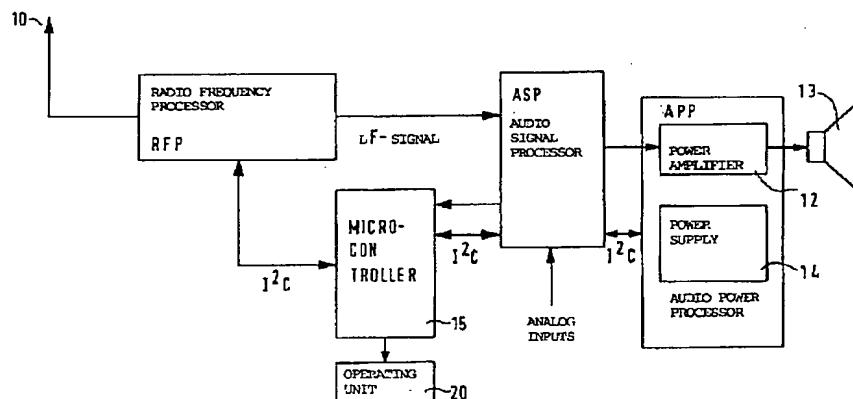
【図7】



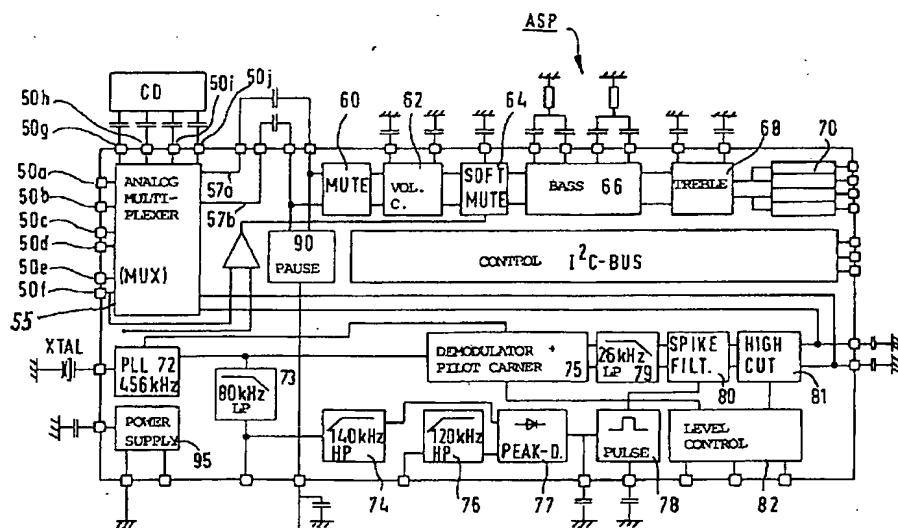
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 ペテル キルクレッヒア
ドイツ連邦共和国 D-83104 ホヘンサ
ン サレルベグ 10

(72)発明者 イエルグ シャンバヒア
ドイツ連邦共和国 D-81667 ミュンヘ
ン コメニュストラッセ 4

(72)発明者 イエルゲン レッペ
ドイツ連邦共和国 D-83553 ヤコブヌ
イハルチング ゲルンランドストラッセ
22